

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-34970

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月5日

H 01 L 29/784  
27/12

7514-5F  
8624-5F

H 01 L 29/78

3 1 1 X

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 電界効果型薄膜トランジスタ

⑯ 特 願 昭63-185158

⑰ 出 願 昭63(1988)7月25日

⑱ 発 明 者 林 久 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 志賀 富士弥

明 細 書

1. 発明の名称

電界効果型薄膜トランジスタ

2. 特許請求の範囲

(1) 絶縁基体上の第1導電型の薄膜半導体層に、第2導電型のソース・ドレイン領域を有し、且つ該ソース・ドレイン領域間の前記半導体層上にゲート電極を有する電界効果型薄膜トランジスタにおいて、

前記ドレイン領域と前記ゲート電極下の前記薄膜半導体層との間に、電界印加によって誘起されて前記ドレイン領域のキャリア濃度より低いキャリア濃度となるチャンネルを有することを特徴とする電界効果型薄膜トランジスタ。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、電界効果型薄膜トランジスタに関するものである。

[発明の概要]

この発明は、絶縁基体上の第1導電型の薄膜半導体層に、第2導電型のソース・ドレイン領域を有し、且つ該ソース・ドレイン領域間の前記半導体層上にゲート電極を有する電界効果型薄膜トランジスタにおいて、

前記ドレイン領域と前記ゲート電極下の前記薄膜半導体層との間に、電界印加によって誘起されて前記ドレイン領域のキャリア濃度より低いキャリア濃度となるチャンネルを有することにより、リーク電流の低減化を可能としたものである。

[従来の技術]

電界効果型トランジスタにおいては、電界ことにドレイン近傍の電界強度は極めて大きくなる。このように高電界になるとホットキャリアが発生し、しきい値電圧 $V_{th}$ の変動をはじめとするショートチャンネル効果をもたらし、デバイスの信頼性のうえで重大な影響があるため、これに対してさまざまな対策が講じられている。その対策の主なものには、LDD (lightly doped drain) や

DDD (double diffused drain) が良く知られている。

一方、電界効果型の薄膜トランジスタ (TFET) においては、高耐圧化並びに逆バイアスでのリーク電流の低減化を図るための対策として、第3図に示すようなオフセットゲート構造が知られている。この電界効果型薄膜トランジスタは、絶縁基板1上に多結晶シリコンでなる半導体層2を形成し、この半導体層2にソース領域2a、ドレイン領域2bを形成し、さらにソース領域2aとドレイン領域2bの間に形成されるチャンネル領域2cとドレイン領域2bとの間に、ドレイン領域2bよりも不純物濃度の低い低濃度領域2dを形成したものであって、ゲート3がチャンネル領域2cの直上にゲート絶縁膜4を介して形成されている。

[発明が解決しようとする課題]

しかしながら、このような従来の電界効果型薄膜トランジスタにおいては、ドレイン領域2bと

キャリア濃度より低いキャリア濃度となるチャンネルを有することを、その解決手段としている。

[作用]

電界印加によってドレイン領域よりキャリア濃度が低く誘起されたチャンネルは、ドレイン領域近傍の電界強度を小さくして、耐圧を高くすると共に、リーク電流を減少させる。

[実施例]

以下、本発明に係る電界効果型薄膜トランジスタの詳細を図面に示す実施例に基づいて説明する。

第1図は、本実施例に係る電界効果型薄膜トランジスタの断面図であり、第2図は、等価回路を示している。

図中、10はSiO<sub>2</sub>で板状に形成された絶縁基板であって、この絶縁基板10の表面に、多結晶シリコンをCVD法にて薄膜に堆積させて成る第1導電型(P型)の半導体薄膜11が形成されている。この半導体薄膜11は、両端に不純物が

ゲート3が離れているため電界が高くなるのを防止してリーク電流を低減できるものの、低濃度領域2dの不純物濃度がやや高くなると、耐圧が小さくなる問題があり、また、不純物濃度が低すぎると抵抗が大きくなりON電流が低下するという問題点がある。従って、半導体層(多結晶シリコン層)の抵抗制御が課題となっている。

本発明は、斯る従来の問題点に着目して創案されたものであって、リーク電流を低減させ、且つ耐圧を高めた電界効果型薄膜トランジスタを得んとするものである。

[課題を解決するための手段]

そこで、本発明は、絶縁基体上の第1導電型の薄膜半導体層に、第2導電型のソース・ドレイン領域を有し、且つ該ソース・ドレイン領域間の前記半導体層上にゲート電極を有する電界効果型薄膜トランジスタにおいて、前記ドレイン領域と前記ゲート電極下の前記薄膜半導体層との間に、電界印加によって誘起されて前記ドレイン領域のキ

注入された第2導電型としてのN<sup>+</sup>のソース領域11a、ドレイン領域11bと、前記両領域11a、11bの間に第1チャンネル領域11c、第2チャンネル領域11dとに画成されている。なお、第1チャンネル領域11cは、ソース領域11aに接し、そのチャンネル長(L<sub>1</sub>)は7μm程度に設定されており、また、第2チャンネル領域11dは、ドレイン領域11bに接し、そのチャンネル長(L<sub>2</sub>)は1μm程度に設定されている。そして、これら第1、第2チャンネルは、ソース領域11a、ドレイン領域11bを形成した際に、不純物のイオン注入を受けていないため、第1導電型であるP型のままであり、双方ともその不純物濃度は同じである。

そして、第1チャンネル11cの上には、SiO<sub>2</sub>で成り、その膜厚が500Å程度の第1ゲート絶縁膜12が形成されている。この第1ゲート絶縁膜12の上には、例えば、多結晶シリコンで成る第1ゲート電極13が形成されている。

さらに、絶縁基体10、半導体薄膜11及び第

1ゲート電極13の露呈表面には $\text{SiO}_2$ で成る絶縁膜14が積層されている。なお、この絶縁膜14は、ソース領域11aとドレイン領域で所定のコンタクトホールが開設されている。

また、図中15は、ドレイン領域11b側の絶縁膜14の表面、コンタクトホール内壁及び第2チャンネル領域11dの上方に亘って所定の厚さに被着させた配線層15(ITO等で形成する)である。なお、第2チャンネル領域11dの上方に形成された配線層15は、第2ゲート電極15aとなっており、この第2ゲート電極15aと第2チャンネル領域11dの間の絶縁膜14は、第2ゲート絶縁膜14aとなっている。ところで、この第2ゲート絶縁膜14aの厚さは3000Å程度に設定されており、第1ゲート絶縁膜12の厚さは500Å程度である。また、図中、16、17はA2で形成されたソース電極及びドレイン電極である。

このように構成された電界効果型薄膜トランジスタを等価回路で示すと、第2図に示したように

なお、この電界効果型薄膜トランジスタのドレイン電流 $I_D$ は、 $T_{r1}$ 、 $T_{r2}$ のドレイン電流 $I_{D1}$ 、 $I_{D2}$ のうち大きいもので決定される。また、トランジスタのON電流は、 $I_{D1}$ と $I_{D2}$ のうち小さいほうで決定される。

以上、実施例について説明したが、この他に各種の設計変更が可能であり、例えば、上記実施例にあっては、第1導電型がP型であるが、N型であっても勿論よく、その場合、第2導電型がP型であることは言うまでもない。

また、構造的にも各種の設計変更が可能である。

#### [発明の効果]

以上の説明から明らかなように、本発明に係る電界効果型薄膜トランジスタにあっては、ドレイン領域とゲート電極下の半導体層との間に、電界印加によって誘起されてドレイン領域のキャリア濃度より低いキャリア濃度となるチャンネルを設けたことにより、耐圧を上げることが出来、また、リーク電流を減少させる効果がある。さらに、ド

なり、 $T_{r1}$ 、 $T_{r2}$ の2つのトランジスタが直列に結がっている。

次に、この電界効果型薄膜トランジスタの動作を説明する。

トランジスタがON状態の場合は、ドレイン領域11bに正の電圧をかけ、第1ゲート電極13に正の電圧をかけることにより、 $T_{r1}$ 、 $T_{r2}$ はON状態となる。

一方、トランジスタのOFF状態は、 $T_{r1}$ がOFFし、 $T_{r2}$ がONしている状態であり、トランジスタ全体としてOFFとなっている。

ここで、第2チャンネル領域11dが第2ゲート電極15aにより電界印加されて、そのキャリア濃度がドレイン領域11bのキャリア濃度より低くなるように設定されている。(例えばドレイン領域のキャリア濃度は $5 \times 10^{17}$ で、印加時の第2チャンネル領域のキャリア濃度は $5 \times 10^{18}$ )このため、ドレイン領域11b近傍の電界強度は弱まり、耐圧は高くなる。また、リーク電流は、減少する。

ドレイン領域近傍のチャンネルの抵抗制御を容易にする効果がある。

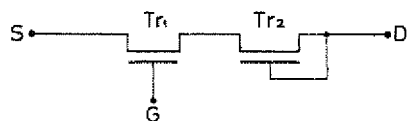
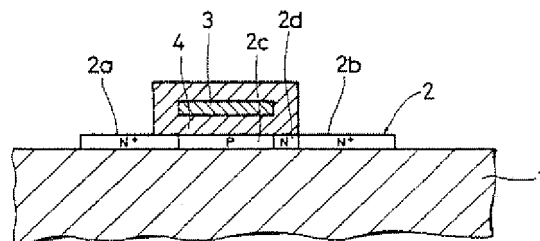
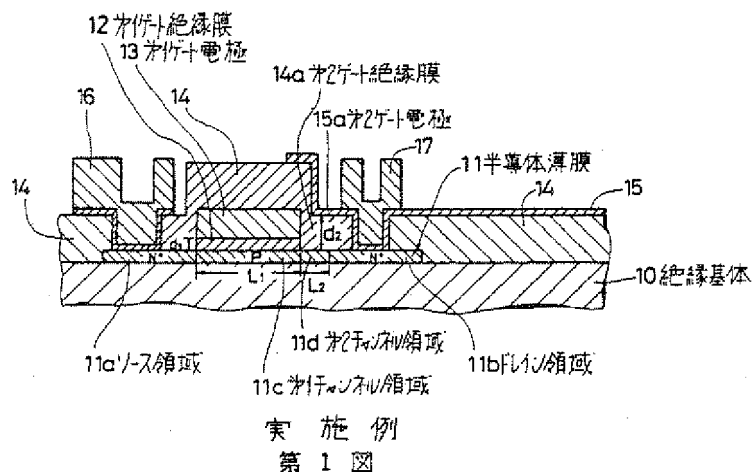
#### 4. 図面の簡単な説明

第1図は本発明に係る電界効果型薄膜トランジスタの実施例を示す断面図、第2図は等価回路図、第3図は従来例を示す断面図である。

10…絶縁基体、11…半導体薄膜、11a…ドレイン領域、11b…ドレイン領域、11c…第1チャンネル領域、11d…第2チャンネル領域、13…ゲート電極、15a…第2ゲート電極。

代理人 志 賀 富 士 弥





# 手続補正書 (自 発)

昭和 63 年 9 月 27 日

特許庁長官 殿

## 1. 事件の表示

昭和 63 年特許願第 185158 号

## 2. 発明の名称

電界効果型薄膜トランジスタ

## 3. 補正をする者

事件との関係 出願人  
(218) ソニー株式会社

## 4. 代理人 〒104

東京都中央区明石町 1 番 29 号 掖済会ビル  
電話 03(545)2251 (代表)  
弁理士 (6219) 志賀富士弥

## 5. 補正の対象

明細書の「発明の詳細な説明」の欄。

## 6. 補正の内容

(1) 明細書の第 8 頁第 16 行目の「 $5 \times 10^{17}$ 」を「 $5 \times 10^{18}$ 」と補正する。

(2) 明細書の第 9 頁第 1 行目から第 5 行目までを削除する。

以 上

代理人 志賀富士弥

